

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-138399

(43)Date of publication of application : 31.05.1996

(51)Int.Cl.

G11C 29/00
H01L 21/82
H03K 19/00
// H01L 21/8244
H01L 27/11

(21)Application number : 06-298862

(71)Applicant : HITACHI LTD
HITACHI VLSI ENG CORP

(22)Date of filing : 07.11.1994

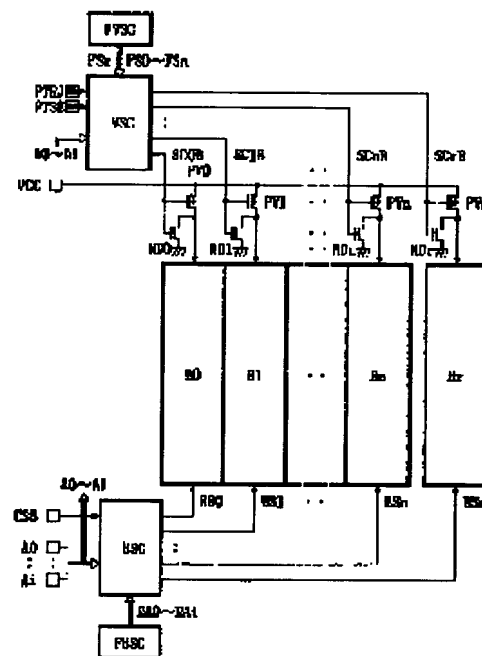
(72)Inventor : MAKUTA KIICHI
NOJIRI TATSUO
FUKAZAWA TAKESHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain a static RAM in which incorrect DC current, e.g. incorrect stand-by current, can be repaired while increasing the fabrication yield and the incorrect DC current can be analyzed sufficiently.

CONSTITUTION: In a static RAM having a plurality of memory mats, the internal circuit is divided into a plurality of function blocks BO-Bn using the memory mat as a unit, for example. The function blocks BO-Bn are provided with individual power supply paths connected with switches MOSFETs PV0-PVn which are turned off selectively under test mode for deciding a defective block, i.e., a block in which incorrect DC current is generated. A redundant block Br for repairing a block in which an incorrect DC current is detected is also provided and the switches MOSFETs PV0-PVn and PVr are turned off selectively and simultaneously under a test mode for deciding whether the defect can be repaired by means of the redundant block Br.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-138399

(43)公開日 平成8年(1996)5月31日

(51) Int.Cl.⁶

G 1 1 C 29/00

H01L 21/82

H 0 3 K 19/00

識別記号

庁内整理番号

3 0 1 B 9459-5L

A

FI

H01L 21/82

27/ 10

R

381

審査請求 未請求 請求項の数5 FD (全 14 頁) 最終頁に続く

(21)出願番号

特願平6-298862

(22) 出願日

平成6年(1994)11月7日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72) 発明者 幕田 喜一

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(74)代理人 弁理士 徳若 光政

最終頁に続く

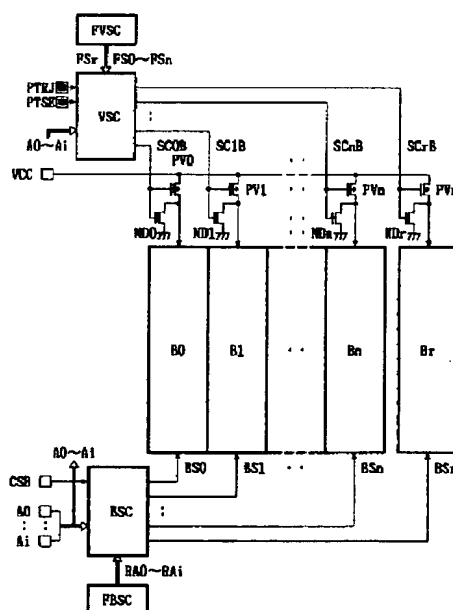
(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 スタンバイ電流不良等の直流電流不良を救済しうるスタティック型RAM等の半導体装置を実現する。これにより、スタティック型RAM等の製品歩留まりを高め、その直流電流不良に関する充分な解析を可能にする。

【構成】 複数のメモリマツトを備えるスタディック型RAM等において、その内部回路を例えばメモリマツトを単位として複数の機能ブロックB0～Bnに分割し、これらの機能ブロックに対する電源供給経路を独立して設けるとともに、各機能ブロックの電源供給経路に、直流電流不良の発生ブロックを判別するための不良ブロック判定テストモードにおいて選択的にオフ状態とされるスイッチMOSFETPV0～PVnを設ける。また、直流電流不良が検出された不良ブロックを救済するための冗長ブロックBrを設け、スイッチMOSFETPV0～PVnならびにPVrを、冗長ブロックBrによる欠陥救済の可否を判定するための救済可否判定テストモードにおいて選択的かつ一斉にオフ状態とする。

図1 半導体装置の基本構成図(実施例1)



【特許請求の範囲】

【請求項 1】 複数の機能ブロックと、上記機能ブロックに対応して設けられ対応する上記機能ブロックの実質的な電源供給経路を選択的に切断しうる複数のスイッチ手段とを具備することを特徴とする半導体装置。

【請求項 2】 上記スイッチ手段は、上記機能ブロックの直流電流不良を判定するための不良ブロック判定テストモードにおいて選択的にオフ状態とされるものであることを特徴とする請求項 1 の半導体装置。

【請求項 3】 上記半導体装置は、上記複数の機能ブロックのうち直流電流不良が検出された機能ブロックと選択的に置き換えられる所定数の冗長ブロックを含むものであることを特徴とする請求項 2 の半導体装置。

【請求項 4】 上記スイッチ手段は、上記冗長ブロックによる欠陥救済の可否を判定するための救済可否判定テストモードにおいて選択的かつ一斉にオフ状態とされるものであることを特徴とする請求項 3 の半導体装置。

【請求項 5】 上記半導体装置は、メモリ集積回路であり、上記機能ブロックは、メモリマットであって、上記スイッチ手段は、ビット線又は共通データ線の負荷手段又はイコライズ手段として設けられる MOSFET を含むものであることを特徴とする請求項 1、請求項 2、請求項 3 又は請求項 4 の半導体装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 この発明は半導体装置に関し、例えば、複数のメモリマットを備えるスタティック型 RAM（ランダムアクセスメモリ）ならびにその直流電流不良の救済に利用して特に有効な技術に関するものである。

【0002】

【従来の技術】 直交して配置されるワード線及び相補ビット線ならびにこれらのワード線及び相補ビット線の交点に格子状に配置されたスタティックメモリセルを含むメモリアレイをその基本構成要素とするスタティック型 RAM がある。

【0003】 一方、スタティック型 RAM 等のメモリ集積回路において、メモリアレイに所定数の冗長ワード線又は冗長ビット線を設け、これらの冗長素子を欠陥が検出されたワード線又は相補ビット線と置き換えることによってスタティック型 RAM 等の製品歩留まりを高めるいわゆる欠陥救済方式が知られている。

【0004】 冗長素子を備えるメモリ集積回路については、例えば、特開平 3 - 2 1 4 6 6 9 号公報等に記載されている。

【0005】

【発明が解決しようとする課題】 冗長素子を備える従来のスタティック型 RAM 等では、書き込み・読み出し動作にともなういわゆるファンクション不良については冗長素子との置き換えにより救済できるが、スタンバイ電

流不良等のいわゆる直流（DC）電流不良については救済できず、またその発生箇所を特定することも困難とされる。このため、せっかく冗長素子を備えるにもかかわらず、スタティック型 RAM 等の製品歩留まりが制限されるとともに、十分な不良解析の妨げとなっている。

【0006】 この発明の目的は、スタンバイ電流不良等の直流電流不良を救済しうるスタティック型 RAM 等の半導体装置を実現することにある。この発明の他の目的は、複数のメモリマットを備えるスタティック型 RAM 等の製品歩留まりを高め、その直流電流不良に関する充分な解析を可能にすることにある。

【0007】 この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、複数のメモリマットを備えるスタティック型 RAM 等において、例えばメモリマットを単位として内部回路をブロック分割し、各ブロックに対する電源供給経路を独立して設けるとともに、各ブロックの電源供給経路に、直流電流不良を判別するための不良ブロック判定テストモードにおいて所定の組み合わせで選択的にオフ状態とされるスイッチ手段を設ける。また、直流電流不良が検出された不良ブロックを救済するための冗長ブロックを設け、上記スイッチ手段を、冗長ブロックによる欠陥救済の可否を判定するための救済可否判定テストモードにおいて選択的かつ一斉にオフ状態とする。

【0009】

【作用】 上記した手段によれば、各ブロックごとに直流電流不良を判別し、不良ブロックを冗長ブロックに置き換え、救済することができるとともに、冗長ブロックによる欠陥救済に先立って、直流電流不良の原因がメモリマット以外の回路にないかつまり識別された直流電流不良が冗長ブロックによって救済可能であるかどうかを判定することができる。この結果、スタンバイ電流不良等の直流電流不良を救済しうるスタティック型 RAM 等の半導体装置を実現できるとともに、複数のメモリマットを備えるスタティック型 RAM 等の製品歩留まりを高め、その直流電流不良に関する充分な解析を可能にすることができる。

【0010】

【実施例】 図 1 には、この発明が適用された半導体装置の第 1 の実施例の基本構成図が示されている。また、図 2 には、図 1 の半導体装置の試験制御信号及び電源供給制御信号の一実施例の論理条件図が示され、図 3 ないし図 5 には、この発明が適用された半導体装置の第 2 ないし第 4 の実施例の部分的な基本構成図がそれぞれ示されている。これらの図をもとに、この実施例の半導体装置

の基本的構成及び動作ならびにその特徴について説明する。なお、図3ないし図5の実施例は、図1及び図2の実施例を基本的に踏襲する。また、図1の各回路素子ならびに各ブロックを構成する回路素子は、公知のMOSFET（金属酸化物半導体型電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする）集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上に形成される。さらに、以下の回路図において、そのチャンネル（バックゲート）部に矢印が付されるMOSFETはPチャンネル型であり、矢印の付されないNチャンネルMOSFETと区別して示される。

【0011】図1において、この実施例の半導体装置は、同一構成とされる $n+1$ 個の機能ブロック $B_0 \sim B_n$ と、これらの機能ブロックと置換しうるべく実質的に同一機能を有する1個の冗長ブロック B_r とを備える。これらの機能ブロック及び冗長ブロックには、電源電圧供給端子 VCC から対応するスイッチ手段つまりPチャンネルMOSFET $PV_0 \sim PV_n$ ならびに PV_r を介して電源電圧 VCC が供給されるとともに、ブロック選択回路 BSC から対応するブロック選択信号 $BS_0 \sim BS_n$ ならびに BS_r がそれぞれ供給される。また、ブロック選択回路 BSC には、チップ選択信号入力端子 CSB を介してチップ選択信号 CSB が供給されるとともに、アドレス入力端子 $A_0 \sim A_i$ を介して $i+1$ ビットのブロックアドレス信号 $A_0 \sim A_i$ が供給され、冗長ブロック選択用ヒューズ回路 $FBSC$ から $i+1$ ビットの冗長アドレス信号 $RA_0 \sim RA_i$ が供給される。なお、電源電圧 VCC は、特に制限されないが、 $+5V$ のような正電位とされる。

【0012】ここで、冗長ブロック選択用ヒューズ回路 $FBSC$ は、冗長アドレス信号 $RA_0 \sim RA_i$ に対応して設けられる $i+1$ 個の単位ヒューズ回路を含み、冗長ブロック B_r と置き換えられる機能ブロック $B_0 \sim B_n$ のブロックアドレスを冗長アドレス信号 $RA_0 \sim RA_i$ として記憶し、ブロック選択回路 BSC に供給する。また、ブロック選択回路 BSC は、アドレス入力端子 $A_0 \sim A_i$ を介して入力されるブロックアドレス信号 $A_0 \sim A_i$ をデコードして、対応するブロック選択信号 $BS_0 \sim BS_n$ を択一的にハイレベルとするとともに、ブロックアドレス信号 $A_0 \sim A_i$ と冗長ブロック選択用ヒューズ回路 $FBSC$ から供給される冗長アドレス信号 $RA_0 \sim RA_i$ とをビットごとに比較照合し、これらのアドレス信号が全ビット一致した場合に、対応するブロック選択信号をロウレベルとし、代わって冗長ブロック選択信号 BS_r をハイレベルとする。

【0013】次に、MOSFET $PV_0 \sim PV_n$ ならびに PV_r のゲートには、電源供給制御回路 VSC から対応する反転電源供給制御信号 SC_0B （ここで、それが有効とされるとき選択的にロウレベルとされるいわゆる

反転信号等については、その名称の末尾に B を付して表す。以下同様） $\sim SC_nB$ ならびに SC_rB がそれぞれ供給される。また、これらのMOSFETのドレインつまり機能ブロック $B_0 \sim B_n$ ならびに冗長ブロック B_r の電源入力ノードは、そのゲートに対応する上記反転電源供給制御信号 $SC_0B \sim SC_nB$ ならびに SC_rB をそれぞれ受けるNチャンネル型のプルダウンMOSFET $ND_0 \sim ND_n$ ならびに ND_r を介して回路の接地電位に結合される。電源供給制御回路 VSC には、救済可否判定テスト用パッド $PTRJ$ を介して救済可否判定テスト信号 $PTRJ$ が供給され、不良ブロック判定テスト用パッド $PTSE$ を介して不良ブロック判定テスト信号 $PTSE$ が供給される。また、アドレス入力端子 $A_0 \sim A_i$ を介してブロックアドレス信号 $A_0 \sim A_i$ が供給され、電源供給制御用ヒューズ回路 $FVSC$ からヒューズ回路出力信号 $FS_0 \sim FS_n$ ならびに FS_r が供給される。なお、救済可否判定テスト信号 $PTRJ$ 及び不良ブロック判定テスト信号 $PTSE$ は、通常ロウレベルとされ、半導体装置が救済可否判定テストモード又は不良ブロック判定テストモードとされるときそれぞれ選択的にハイレベルとされる。

【0014】ここで、電源供給制御用ヒューズ回路 $FVSC$ は、機能ブロック $B_0 \sim B_n$ ならびに冗長ブロック B_r に対応して設けられる $n+2$ 個の単位ヒューズ回路を含み、これらの単位ヒューズ回路のそれぞれは、対応する機能ブロック $B_0 \sim B_n$ ならびに冗長ブロック B_r にスタンバイ電流不良等の直流電流不良が検出されたとき選択的に切断状態とされるヒューズを含む。電源供給制御用ヒューズ回路 $FVSC$ の各单位ヒューズ回路のヒューズが切断状態にないとき、ヒューズ回路出力信号 $FS_0 \sim FS_n$ ならびに FS_r の対応するビットはロウレベルとされ、切断状態にあるとき、ハイレベルとされる。

【0015】一方、電源供給制御回路 VSC は、電源供給制御用ヒューズ回路 $FVSC$ から出力されるヒューズ回路出力信号 $FS_0 \sim FS_n$ と、救済可否判定テスト信号 $PTRJ$ 及び不良ブロック判定テスト信号 $PTSE$ ならびにブロックアドレス信号 $A_0 \sim A_i$ とをもとに、反転電源供給制御信号 $SC_0B \sim SC_nB$ ならびに SC_rB を図2の論理条件に従って選択的にロウレベル又はハイレベルとする。すなわち、電源供給制御回路 VSC は、半導体装置が救済可否判定テストモードとされ救済可否判定テスト信号 $PTRJ$ がハイレベル（H）とされるとき、すべての反転電源供給制御信号 $SC_0B \sim SC_nB$ ならびに SC_rB をブロックアドレス信号に関係なく一斉にハイレベルとする。また、半導体装置が不良ブロック判定テストモードとされ不良ブロック判定テスト信号 $PTSE$ がハイレベルとされるとき、反転電源供給制御信号 $SC_0B \sim SC_nB$ のブロックアドレス信号 $A_0 \sim A_i$ により指定されるビットを択一的にロウレベル

(L)とし、その他のビットをハイレベルとする。さらに、半導体装置が通常の動作モードとされ救済可否判定テスト信号PTRJ及び不良ブロック判定テスト信号PTSEがともにロウレベルとされるとき、機能ブロックB0～Bnならびに冗長ブロックBrで直流電流不良が検出され対応するヒューズ回路出力信号FS0～FSnならびにFSrがハイレベルとされることを条件に、反転電源供給制御信号SC0B～SCnBならびにSCrBの対応するビットを選択的にハイレベルとする。

【0016】反転電源供給制御信号SC0B～SCnBならびにSCrBがロウレベルとされるとき、対応する機能ブロックB0～Bnならびに冗長ブロックBrの電源供給経路に設けられたMOSFETPV0～PVnならびにPVrはオン状態とされ、MOSFETND0～NDnならびにNDrはオフ状態とされる。したがって、電源電圧供給端子VCCを介して入力される電源電圧VCCは、オン状態にあるMOSFETPV0～PVnならびにPVrを介して対応する機能ブロックB0～Bnならびに冗長ブロックBrに伝達される。このとき、機能ブロックB0～Bnならびに冗長ブロックBrは、ブロック選択回路BSCから出力されるブロック選択信号BS0～BSnならびにBSrの対応するビットがハイレベルであることを条件に選択的に動作状態とされ、所定の機能を果たす。

【0017】一方、反転電源供給制御信号SC0B～SCnBならびにSCrBがハイレベルとされるとき、対応する機能ブロックB0～Bnならびに冗長ブロックBrの電源供給経路に設けられたMOSFETPV0～PVnならびにPVrはオフ状態とされ、代わってMOSFETND0～NDnならびにNDrがオン状態とされる。したがって、機能ブロックB0～Bnならびに冗長ブロックBrは、対応するMOSFETPV0～PVnならびにPVrがオフ状態とされることでその電源供給経路を断たれるとともに、その電源入力ノードがオン状態にあるMOSFETND0～NDnならびにNDrを介して回路の接地電位に接続され、いわゆるプルダウンされるため、対応するブロック選択信号BS0～BSnならびにBSrの論理レベルに関係なく安定した非動作状態とされる。

【0018】前述のように、半導体装置が救済可否判定テストモードとされるとき、反転電源供給制御信号SC0B～SCnBならびにSCrBは一斉にハイレベルとされる。このため、すべての機能ブロックB0～Bnならびに冗長ブロックBrは、その電源供給経路を断たれて非動作状態とされ、動作電流を流さない。つまり、この状態で半導体装置を所定の試験装置に接続しその直流電流値を測定すれば、直流電流不良が機能ブロックB0～Bnならびに冗長ブロックBrで発生したものかそれ以外の回路で発生したものかを識別できる訳であって、冗長ブロックへの置き換えによる欠陥救済が可能かどうかを

かを判定できるものとなる。

【0019】一方、半導体装置が不良ブロック判定テストモードとされるとき、反転電源供給制御信号SC0B～SCnBならびにSCrBは、ブロックアドレス信号A0～Aiにより指定された1ビットがロウレベルとされ、その他のビットはすべてハイレベルとされる。したがって、機能ブロックB0～Bnならびに冗長ブロックBrは、ブロックアドレス信号A0～Aiにより指定された1個が択一的に動作状態とされ、その他は非動作状態とされる。つまり、この状態で半導体装置を所定の試験装置に接続しその直流電流値を測定すれば、動作状態にある機能ブロックにおいて直流電流不良が発生しているかどうかを識別できる訳であって、これを繰り返すことにより不良ブロックを判別できるものとなる。

【0020】不良ブロック判定テストモードで直流電流不良が検出された機能ブロックB0～Bnは、前述のように、そのブロックアドレスが冗長ブロック選択用ヒューズ回路FVSCに書き込まれることにより冗長ブロックBrと置き換えられる。このとき、電源供給制御用ヒューズ回路FVSCでは、不良ブロックに対応する単位ヒューズ回路のヒューズが切断され、ヒューズ回路出力信号FS0～FSnつまりは反転電源供給制御信号SC0B～SCnBの対応するビットが択一的にハイレベルとされる。これにより、電源供給経路に設けられたMOSFETPV0～PVnのうち不良ブロックに対応する1個がオフ状態とされ、不良ブロックに対する電源供給経路が切断される。この結果、不良ブロックは定常的に非動作状態とされ、代わってブロックアドレス信号A0～Aiが対応する組み合わせとされることを条件に冗長ブロックBrが選択的に動作状態とされる。

【0021】以上のように、この実施例の半導体装置は、同一構成とされるn+1個の機能ブロックB0～Bnと、これらの機能ブロックのうち直流電流不良が検出された機能ブロックと選択的に置き換えられる1個の冗長ブロックBrとを備え、機能ブロックB0～Bnならびに冗長ブロックBrの電源供給経路には、対応する反転電源供給制御信号SC0B～SCnBならびにSCrBがハイレベルとされることで選択的にオフ状態とされるスイッチ手段つまりMOSFETPV0～PVnならびにPVrが設けられる。また、半導体装置は、MOSFETPV0～PVnを択一的にオン状態とすることで直流電流不良が発生した機能ブロックを判定するための不良ブロック判定テストモードと、MOSFETPV0～PVnならびにPVrを一斉にハイレベルとすることで直流電流不良が機能ブロックB0～Bnあるいは冗長ブロックBrのいずれかで発生したものであり冗長ブロックBrによる欠陥救済が可能であることを判定するための救済可否判定テストモードとを有し、直流電流不良の発生位置及び欠陥救済の可否を効率的に判定することができる。この結果、複数の機能ブロックを備える半導

体装置のスタンバイ電流不良等の直流電流不良を救済して、その製品歩留まりを高めることができるとともに、直流電流不良に関する充分な解析を可能にすることができる。

【0022】なお、機能ブロックB0～Bnならびに冗長ブロックBrの電源供給経路に設けられるスイッチ手段は、図3に示されるように、PチャンネルMOSFETPV0～PVnならびにPVRのみとすることができる。また、図4に示されるように、図1のPチャンネルMOSFETPV0～PVnならびにPVRをNチャンネルMOSFETNV0～NVnならびにNVRに置き換えてもよいし、図5に示されるように、NチャンネルMOSFETNV0～NVnならびにNVRのみとしてもよい。言うまでもなく、図4及び図5の実施例では、電源供給制御信号を非反転信号つまり電源供給制御信号SC0～SCnならびにSCRとする必要があり、図4のプルダウン用のMOSFETND0～NDnならびにNDRのゲートには、そのインバータVV0～VVnならびにVVRによる反転信号を供給する必要がある。また、図3及び図5の実施例では、MOSFETPV0～PVnならびにPVRあるいはMOSFETNV0～NVnならびにNVRがオフ状態とされるとき、機能ブロックB0～Bnならびに冗長ブロックBrの電源入力ノードはいわゆるフローティング状態となる。

【0023】図6には、この発明を応用してなるスタティック型RAMの一実施例のブロック図が示されている。また、図7には、図6のスタティック型RAMの各メモリマットに含まれるメモリアレイMARY及び周辺部の一実施例の部分的な回路部が示され、図8ならびに図9には、図6のスタティック型RAMの各メモリマットに含まれるマットヒューズ回路MF及び負荷制御回路LCならびに冗長マット選択回路RSの一実施例の回路図がそれぞれ示されている。これらの図により、この発明の応用例となるスタティック型RAMの構成及び動作ならびにその特徴について説明する。なお、以下の説明から明らかなように、メモリマットMAT0～MAT63は、図1の機能ブロックB0～Bnに対応し、冗長メモリマットMATR0～MATR3は、冗長ブロックBrに対応する。また、冗長マット選択回路RSは、図1のマット選択回路MSの一部に対応し、冗長ブロック選択用ヒューズ回路FBSCを包含する。さらに、マットヒューズ回路MFは、図1の電源供給制御用ヒューズ回路FVSCに対応し、負荷制御回路LCは、タイミング発生回路TGの一部とともに電源供給制御回路VSCに対応する。

【0024】図6において、この実施例のスタティック型RAMは、特に制限されないが、64個のメモリマットMAT0～MAT63と4個の冗長メモリマットMATR0～MATR3とを備え、これらのメモリマットに共通に設けられるマットヒューズ回路MF、Xアドレス

バッファXB、XアドレスデコーダXD、YアドレスバッファYB、YアドレスデコーダYD、タイミング発生回路TG、マット選択回路MS、冗長マット選択回路RS、ライトアンプWA、データ入力バッファIB及びデータ出力バッファOBを備える。このうち、メモリマットMAT0～MAT63ならびに冗長メモリマットMATR0～MATR3は、すべて同一構成とされ、メモリマットMAT0に代表して示されるように、メモリアレイMARY、サブワード線駆動回路WD、ビット線負荷回路BL、負荷制御回路LC、YゲートYG、Yゲート駆動回路GD、書き込みゲートWG及びセンスアンプSAならびにアンプ駆動回路ADをそれぞれ含む。

【0025】メモリマットMAT0～MAT63ならびに冗長メモリマットMATR0～MATR3を構成するメモリアレイMARYは、図7に例示されるように、水平方向に平行して配置される256本のサブワード線SW0～SW255と、垂直方向に平行して配置される64組の相補ビット線B0*～B63*（ここで、例えば非反転ビット線B0T及び反転ビット線B0Bを、あわせて相補ビット線B0*のように*を付して表す。また、それが有効とされるとき選択的にハイレベルとされるいわゆる非反転信号等については、その名称の末尾にTを付して表す。以下同様）ならびにこれらのサブワード線及び相補ビット線の交点に格子状に配置される256×64個つまり16384個のスタティックメモリセルMCとをそれぞれ含む。これにより、メモリマットMAT0～MAT63ならびに冗長メモリマットMATR0～MATR3のそれぞれは、16384ビットつまりいわゆる16キロビットの記憶容量を有するものとされ、スタティック型RAMはその64倍つまりいわゆる1メガビットの記憶容量を有するものとされる。

【0026】メモリアレイMARYを構成するメモリセルMCのそれぞれは、そのゲート及びドレインが互いに交差結合されるNチャンネル型の一対の駆動MOSFETN1及びN2と、これらの駆動MOSFETN1及びN2のドレイン側に設けられる一対の高抵抗R1及びR2とを含む。このうち、駆動MOSFETN1及びN2のソースは、回路の接地電位に結合され、抵抗R1及びR2の上方は、メモリセル電源供給線MVCCに共通結合される。また、メモリアレイMARYの同一列に配置される256個のメモリセルMCの非反転及び反転入力ノードとなる駆動MOSFETN1及びN2のドレインは、Nチャンネル型の一対の選択MOSFETN3及びN4を介して対応する相補ビット線B0*～B63*の非反転及び反転信号線にそれぞれ共通結合され、メモリアレイMARYの同一行に配置される64個のメモリセルMCの選択MOSFETN3及びN4のゲートは、対応するサブワード線SW0～SW255にそれぞれ共通結合される。

【0027】メモリアレイMARYを構成するサブワー

ド線SW0～SW255は、その左方において対応するサブワード線駆動回路WDに結合される。また、サブワード線駆動回路WDは、図示されない64本のメインワード線MW0～MW63を介してXアドレスデコーダXDに共通結合されるとともに、このXアドレスデコーダXDから4ビットのワード線駆動信号WX0～WX3が共通に供給され、マツト選択回路MS又は冗長マツト選択回路RSから対応するマツト選択信号MS0～MS63ならびにMSR0～MSR3がそれぞれ供給される。さらに、XアドレスデコーダXDには、XアドレスバッファXBから8ビットの内部アドレス信号X0～X7が供給され、XアドレスバッファXBには、アドレス入力端子AX0～AX7を介してXアドレス信号AX0～AX7が供給される。

【0028】XアドレスバッファXBは、スタティック型RAMが選択状態とされるとき、アドレス入力端子AX0～AX7を介して入力される8ビットのXアドレス信号AX0～AX7を取り込み、保持するとともに、これらのXアドレス信号をもとに内部アドレス信号X0～X7を形成し、XアドレスデコーダXDに供給する。また、XアドレスデコーダXDは、図示されない内部制御信号XGのハイレベルを受けて選択的に動作状態とされ、XアドレスバッファXBから供給される内部アドレス信号X0～X7をデコードして、対応するメインワード線MW0～MW63ならびにワード線駆動信号WX0～WX3をそれぞれ択一的にハイレベルとする。さらに、サブワード線駆動回路WDは、対応するマツト選択信号MS0～MS63あるいはMSR0～MSR3がハイレベルとされることで選択的に動作状態とされ、メインワード線MW0～MW63ならびにワード線駆動信号WX0～WX3を組み合わせることによってメモリアレイMARYの対応するサブワード線SW0～SW255を択一的にハイレベルの選択状態とする。

【0029】次に、メモリマツトMAT0～MAT63ならびに冗長メモリマツトMATR0～MATR3のメモリアレイMARYを構成する相補ビット線B0*～B63*は、その上方においてビット線負荷回路BLの対応するPチャンネル型の負荷MOSFETP2及びP3を介して電源電圧VCCに結合され、その下方においてYゲートYGの対応するトランスファゲートT1及びT2に結合される。ビット線負荷回路BLの負荷MOSFETP2及びP3のゲートには、負荷制御回路LCから内部制御信号SIIT2が共通に供給される。また、ビット線負荷回路BLは、電源電圧VCCと対応するメモリアレイMARYのすべてのメモリセルMCの高抵抗R1及びR2の上方が共通結合されるメモリセル電源供給線MVCCとの間に設けられそのゲートに上記内部制御信号SHT2を受けるPチャンネル型の駆動MOSFETP1を含む。これにより、駆動MOSFETP1は、内部制御信号SHT2のロウレベルを受けて選択的にオン

状態となり、メモリアレイMARYを構成するすべてのメモリセルMCに動作電源となる電源電圧VCCを供給する。同様に、負荷MOSFETP2及びP3は、内部制御信号SHT2のロウレベルを受けて選択的にオン状態となり、メモリアレイMARYを構成する相補ビット線B0*～B63*の負荷手段として作用する。

【0030】メモリマツトMAT0～MAT63ならびに冗長メモリマツトMATR0～MATR3を構成する負荷制御回路LCには、マツトヒューズ回路MFから対応するヒューズ回路出力信号MF0～MF63ならびにMFR0～MFR3がそれぞれ供給され、マツト選択回路MSから対応するマツト選択信号MS0～MS63ならびにMSR0～MSR3がそれぞれ供給される。また、タイミング発生回路TGから内部制御信号TRJ及びTSEが共通に供給され、図示されないアドレス遷移検出回路からその出力信号つまりアドレス遷移検出信号ATDが共通に供給される。なお、内部制御信号TRJは、スタティック型RAMが救済可否判定テストモードとされるとき選択的にハイレベルとされ、内部制御信号TSEは不良ブロック判定テストモードにおいて選択的にハイレベルとされる。

【0031】ここで、マツトヒューズ回路MFは、図8に示されるように、メモリマツトMAT0～MAT63ならびに冗長メモリマツトMATR0～MATR3に対応して設けられる68個の単位マツトヒューズ回路UMF0～UMF63ならびにUMFR0～UMFR3を含み、これらの単位マツトヒューズ回路のそれぞれは、インバータV1の入力端子と回路の接地電位との間に設けられるヒューズF1を含む。電源電圧VCCとインバータV1の入力端子つまりヒューズF1との間には、3個のPチャンネルMOSFETP7～P9が直列形態に設けられるとともに、容量となるPチャンネルMOSFETPAとプルアップ用のPチャンネルMOSFETPBとが並列形態に設けられる。このうち、MOSFETP7及びP8のゲートは回路の接地電位に結合され、MOSFETP9のゲートには、チップ選択信号CSBをもとに形成される内部制御信号CSFが共通に供給される。また、MOSFETPBのゲートには、インバータV1の出力信号が供給され、このインバータV1の出力信号は、インバータV2を経て対応するヒューズ回路出力信号MF0～MF63ならびにMFR0～MFR3となる。

【0032】これにより、ヒューズ回路出力信号MF0～MF63ならびにMFR0～MFR3のそれぞれは、通常ロウレベルとされ、対応する単位マツトヒューズ回路UMF0～UMF63ならびにUMFR0～UMFR3のヒューズF1が切断状態とされることを条件に、言い換えるならば対応するメモリマツトMAT0～MAT63ならびに冗長メモリマツトMATR0～MATR3が直流電流不良により使用不能な状態になったとき選択

的にハイレベルとされるものとなる。

【0033】次に、メモリマットMAT0～MAT63ならびに冗長メモリマットMATR0～MATR3の負荷制御回路LCは、その一方の入力端子に対応するヒューズ回路出力信号MF0等を受けるノア（NOR）ゲートNO1及びNO2を含む。このうち、ノアゲートNO1の他方の入力端子には、内部制御信号TSEが共通に供給され、その出力信号は、インバータV3を経て各メモリマットの内部制御信号SIIT1となる。また、ノアゲートNO2の他方の入力端子には、内部制御信号TRJが共通に供給され、その出力信号は、ナンド（NAND）ゲートNA2の一方の入力端子に供給される。ナンドゲートNA2の他方の入力端子には、ナンドゲートNA1の出力信号が供給される。また、ナンドゲートNA1の一方の入力端子には、内部制御信号TSEが共通に供給され、その他方の入力端子には、マット選択信号MS0等の反転信号にはば対応する反転マット選択信号MS0B等が供給される。ナンドゲートNA2の出力信号は、内部制御信号SHT2とされ、インバータV4を経て反転内部制御信号SHT2Bとされる。

【0034】負荷制御回路LCは、さらに、直並列形態に設けられる3個のPチャンネルMOSFETPC～PEならびにNチャンネルMOSFETN7～N9からなる複合ゲートG1を含む。このうち、MOSFETPC及びN9のゲートには、ナンドゲートNA2の出力信号つまり内部制御信号SIIT2が供給される。また、MOSFETPD及びN7のゲートには、対応するマット選択信号MS0等が供給され、MOSFETPE及びN8のゲートにはアドレス遷移検出信号ATDが供給される。MOSFETPD及びPEならびにN7及びN9の共通結合されたドレインにおける電位は、イコライズ用の内部制御信号DTEQとなる。

【0035】これらのことから、内部制御信号SHT1は、スタティック型RAMが不良ブロック判定テストモードとされ内部制御信号TSEがハイレベルとされるとき、あるいは対応するメモリマットMAT0～MAT63ならびに冗長メモリマットMATR0～MATR3が直流電流不良により使用不能な状態にあるために対応するヒューズ回路出力信号MF0等がハイレベルとされるとき、選択的にハイレベルとされる。なお、内部制御信号SIIT1は、図示されない経路を介してマット選択回路MSに供給され、この内部制御信号SHT1のロウレベルを受けて選択的にマット選択信号MS0～MS63が形成される。

【0036】一方、内部制御信号SIIT2は、スタティック型RAMが救済可否判定テストモードとされ内部制御信号TRJがハイレベルとされるとき、あるいは対応するメモリマットMAT0～MAT63ならびに冗長メモリマットMATR0～MATR3が直流電流不良により使用不能な状態にあるために対応するヒューズ回路出

力信号MF0等がハイレベルとされるとき、選択的にハイレベルとされ、さらに、スタティック型RAMが不良ブロック判定テストモードとされ内部制御信号TSEがハイレベルとされるときには、対応する反転マット選択信号MS0B～MS63BならびにMSR0B～MSR3Bがロウレベルであることを条件に選択的にロウレベルとされる。これにより、メモリマットMAT0～MAT63ならびに冗長メモリマットMATR0～MATR3の各負荷制御回路LCにより形成される内部制御信号SHT2は、スタティック型RAMが救済可否判定テストモードとされるときには一斉にハイレベルとされ、不良ブロック判定テストモードとされるときには、マット選択信号つまりは内部アドレス信号Y3～Y8により指定される1ビットが択一的にロウレベルとされ、その他のビットはすべてハイレベルとされる。さらに、スタティック型RAMが通常の動作モードとされるときには、対応するメモリマットMAT0～MAT63ならびに冗長メモリマットMATR0～MATR3が直流電流不良により使用不能な状態にあることを条件に選択的にハイレベルとされるものとなる。

【0037】これらの結果、内部制御信号SHT2は、前記図1の反転電源供給制御信号SC0B～SCnBならびにSCrBに対応するものとなり、この内部制御信号SIIT2をそのゲートに受ける駆動MOSFETP1ならびに負荷MOSFETP2及びP3は、メモリマットMAT0～MAT63ならびに冗長メモリマットMATR0～MATR3を選択的に動作状態とするためのスイッチ手段つまりMOSFETPV0～PVnならびにPVRに対応するものとなる。

【0038】なお、イコライズ用の内部制御信号DTEQは、内部制御信号SHT2のハイレベルを受けてロウレベルとされるときともに、対応するマット選択信号MS0等がハイレベルとされかつアドレス遷移検出信号ATDがハイレベルとされることを条件に選択的にロウレベルとされるものとなる。

【0039】次に、マット選択回路MSは、内部制御信号CSのハイレベルを受けて選択的に動作状態とされ、YアドレスバッファYBから供給される6ビットの内部アドレス信号Y3～Y8をデコードして、対応するマット選択信号MS0～MS63を択一的にハイレベルとする。これらのマット選択信号は、対応するメモリマットMAT0～MAT63にそれぞれ供給される。

【0040】一方、冗長マット選択回路RSは、図9に示されるように、冗長メモリマットMATR0～MATR3に対応して設けられる4個の単位冗長マット選択回路URS0～URS3を備え、これらの単位冗長マット選択回路のそれぞれは、単位冗長マット選択回路URS0に代表して示されるように、その上方が内部ノードnrつまりインバータV7の入力端子に共通結合される12個のヒューズF3を含む。これらのヒューズF3のド

方は、そのゲートに内部アドレス信号Y3～Y8の非反転信号Y3T～Y8Tあるいは反転信号Y3B～Y8Bを受けるNチャンネルMOSFETNAを介して回路の接地電位に結合される。また、内部ノードnrは、2個のPチャンネルMOSFETPK及びPLを介して電源電圧VCCに結合されるとともに、PチャンネルMOSFETPM及びPNを介して電源電圧VCCに結合される。このうち、MOSFETPK及びPMのゲートには、ナンドゲートNA3の出力信号が供給され、MOSFETPLのゲートには、Yアドレス信号AY0～AY8の遷移検出信号となる内部制御信号PYATDが供給される。また、MOSFETPNのゲートには、インバータV7の出力信号が供給され、このインバータV7の出力信号は、直列形態とされる3個のインバータV8～VAを経て、冗長マツト選択信号MSR0等となる。

【0041】ナンドゲートNA3の一方の入力端子には、チップ選択信号CSBをもとに形成される内部制御信号CSBYが供給され、その他方の入力端子には、ヒューズF2を含むヒューズ回路の出力信号が供給される。このヒューズ回路は、前記マツトヒューズ回路MFの単位マツトヒューズ回路UMF0～UMF63ならびにUMFR0～UMFR3と同一構成とされ、対応するヒューズF2が切断されることによってその出力信号を選択的にハイレベルとする。言うまでもなく、単位冗長マツト選択回路URS0～URS3を構成するヒューズF2は、対応する冗長メモリマツトMATR0～MATR3がいずれかの不良メモリマツトと置き換えられたとき選択的に切断される。また、12個のヒューズF3は、対応する冗長メモリマツトMATR0～MATR3と置き換えられた不良メモリマツトのマツトアドレスの各ビットに対応して選択的に切断される。

【0042】これらのことから、冗長マツト選択回路RSの単位冗長マツト選択回路URS0～URS3の出力信号つまり冗長マツト選択信号MSR0～MSR3は、対応する冗長メモリマツトMATR0～MATR3がいずれかの不良メモリマツトと置き換えられてヒューズF2が切断状態にあり、かつ内部ノードnrが切断状態にないヒューズF3とオン状態となったMOSFETNAとを介して回路の接地電位に接続されないとき、言い換えるならばヒューズF3によって記憶される不良メモリマツトのアドレスと内部アドレス信号Y3～Y8つまりはその非反転信号Y3T～Y8Tならびに反転信号Y3B～Y8Bとして入力されるマツトアドレスとが全ビット一致したとき、選択的にハイレベルとされる。冗長マツト選択信号MSR0～MSR3は、対応する冗長メモリマツトMATR0～MATR3にそれぞれ供給され、これを受けて冗長メモリマツトMATR0～MATR3がそれぞれ選択的に動作状態とされる。このとき、マツトヒューズ回路MFでは、不良メモリマツトに対応するヒューズ回路出力信号MF0～MF63がハイレベルと

され、対応する内部制御信号SHT2がハイレベルとされるため、不良メモリマツトはその電源供給経路を切断され、非動作状態とされる。

【0043】次に、YゲートYGは、メモリアレイMARYの相補ビット線B0*～B63*に対応して設けられる64対のトランスファゲートT1及びT2を含む。これらのトランスファゲートの下方は、順次8組おきに対応する相補共通データ線CD0*～CD7*に共通結合される。また、トランスファゲートT1及びT2を構成するNチャンネルMOSFETのゲートは、順次8組ずつ共通結合され、Yゲート駆動回路GDから対応するビット線選択信号YS0*～YS7*がそれぞれ共通に供給される。これにより、YゲートYGを構成するトランスファゲートT1及びT2は、対応するビット線選択信号YS0*～YS7*が論理“1”（ここで、ビット線選択信号YS0*～YS7*の非反転信号がハイレベルとされ反転信号がロウレベルとされる状態を論理

“1”と称し、その逆の状態を論理“0”と称する。以下同様）とされることで8組ずつ選択的にオン状態となり、メモリアレイMARYの相補ビット線B0*～B63*の対応する8組と相補共通データ線CD0*～CD7*との間を選択的に接続状態とする。

【0044】この実施例において、YゲートYGは、さらに、電源電圧VCCとメモリアレイMARYの相補ビット線B0*～B63*の非反転及び反転信号線との間にそれぞれ設けられるNチャンネル型の負荷MOSFETN5及びN6と、電源電圧VCCと相補ビット線B0*～B63*の非反転及び反転信号線との間ならびに相補ビット線B0*～B63*の非反転及び反転信号線間にそれぞれ設けられるPチャンネル型のイコライズMOSFETP4～P6とを含む。このうち、負荷MOSFETN5及びN6のゲートには、前記内部制御信号SHT2の反転信号つまり反転内部制御信号SHT2Bが供給され、イコライズMOSFETP4～P6のゲートには、イコライズ用の内部制御信号DTEQが供給される。これにより、負荷MOSFETN5及びN6は、反転内部制御信号SHT2Bのハイレベルを受けて選択的にオン状態となり、メモリアレイMARYの対応する相補ビット線B0*～B63*の非反転及び反転信号線のレベルを電源電圧VCCに近いレベルまで高速裏に引き上げるべく作用する。また、イコライズMOSFETP4～P6は、内部制御信号DTEQのロウレベルを受けて選択的にオン状態となり、相補ビット線B0*～B63*の非反転及び反転信号線のレベルを電源電圧VCCまで引き上げかつその電位を同一化すべく作用する。

【0045】なお、内部制御信号DTEQは、前述のように、内部制御信号SHT2がハイレベルとされる条件を包含して選択的にロウレベルとされる。また、反転内部制御信号SHT2Bは、内部制御信号SHT2がハイレベルとされるのと同条件で選択的にロウレベルとさ

れる。したがって、負荷MOSFETN5及びN6ならびにイコライズMOSFETP4～P6は、対応するメモリマットMAT0～MAT63ならびに冗長メモリマットMATR0～MATR3の電源供給経路を選択的に切断するためのスイッチ手段としても作用する。

【0046】ところで、YゲートYGには、前述のように、Yゲート駆動回路GDから8ビットのビット線選択信号YS0*～YS7*が供給される。このYゲート駆動回路GDには、YアドレスデコーダYDから同じく8ビットのビット線選択信号YS0～YS7が共通に供給され、マット選択回路MSから対応するマット選択信号MS0～MS63ならびにMSR0～MSR3が供給される。YアドレスデコーダYDには、YアドレスバッファYBから3ビットの内部アドレス信号Y0～Y2が供給され、YアドレスバッファYBには、アドレス入力端子AY0～AY8を介して9ビットのYアドレス信号AY0～AY8が供給される。

【0047】YアドレスバッファYBは、スタティック型RAMが選択状態とされるとき、アドレス入力端子AY0～AY8を介して入力される9ビットのYアドレス信号AY0～AY8を取り込み、保持するとともに、これらのYアドレス信号をもとに内部アドレス信号Y0～Y8を形成する。このうち、下位3ビットの内部アドレス信号Y0～Y2は、前述のように、YアドレスデコーダYDに供給され、残り6ビットの内部アドレス信号Y3～Y8は、メモリマットMAT0～MAT63を択一的に指定するためのマット（ブロック）アドレス信号として、マット選択回路MS及び冗長マット選択回路RSに供給される。

【0048】一方、YアドレスデコーダYDは、図示されない内部制御信号YGのハイレベルを受けて選択的に動作状態とされ、YアドレスバッファYBから供給される内部アドレス信号Y0～Y2をデコードして、対応するビット線選択信号YS0～YS7を択一的にハイレベルとする。また、Yゲート駆動回路GDは、対応するマット選択信号MS0～MS63あるいはMSR0～MSR3がハイレベルとされることで選択的に動作状態とされ、YアドレスデコーダYDから供給されるビット線選択信号YS0～YS7を相補信号つまりビット線選択信号YS0*～YS7*とした後、対応するYゲートYGに伝達する。

【0049】メモリアレイMARYの8組の相補ビット線が選択的に接続される相補共通データ線CD0*～CD7*は、書き込みゲートWGの対応する単位書き込みゲートUWG0～UWG7の出力端子に結合されるとともに、センスアンプSAの対応する単位センスアンプUSA0～USA7の入力端子に結合される。書き込みゲートWGの単位書き込みゲートUWG0～UWG7の入力端子は、対応する入力データバスDIB0～DIB7を介してライトアンプWAの対応する単位回路の出力端

子に結合され、ライトアンプWAの各単位回路の入力端子は、データ入力バッファIBの対応する単位回路の出力端子に結合される。また、センスアンプSAの単位センスアンプUSA0～USA7の出力端子は、対応する出力データバスDOB0～DOB7を介してデータ出力バッファOBの対応する単位回路の入力端子に結合され、データ入力バッファIBの各単位回路の入力端子ならびにデータ出力バッファOBの各単位回路の出力端子は、対応するデータ入出力端子IO0～IO7にそれぞれ共通結合される。ライトアンプWAの各単位回路には、タイミング発生回路TGから内部制御信号WPが供給され、データ出力バッファOBの各単位回路には、内部制御信号DOCが供給される。

【0050】データ入力バッファIBの各単位回路は、スタティック型RAMが書き込みモードとされるとき、データ入出力端子IO0～IO7を介して入力される8ビットの書き込みデータを取り込み、ライトアンプWAの対応する単位回路に伝達する。また、ライトアンプWAの各単位回路は、内部制御信号WPのハイレベルを受けて選択的に動作状態とされ、データ入力バッファIBの対応する単位回路から伝達される書き込みデータを所定の相補書き込み信号とした後、入力データバスDIB0～DIB7を介して書き込みゲートWGの対応する単位書き込みゲートUWG0～UWG7に伝達する。さらに、書き込みゲートWGの単位書き込みゲートUWG0～UWG7は、対応するマット選択信号MS0～MS63ならびにMSR0～MSR3がハイレベルとされることで選択的に動作状態とされ、ライトアンプWAの対応する単位回路から供給される相補書き込み信号をメモリアレイMARYの選択された8個のメモリセルMCに書き込む。

【0051】一方、センスアンプSAの単位センスアンプUSA0～USAnは、スタティック型RAMが読み出しモードとされるとき、メモリアレイMARYの選択された8個のメモリセルMCから相補共通データ線CD0*～CD7*を介して出力される読み出し信号を増幅し、出力データバスDOB0～DOB7を介してデータ出力バッファOBの対応する単位回路に伝達する。また、データ出力バッファOBの各単位回路は、内部制御信号DOCのハイレベルを受けて選択的に動作状態とされ、センスアンプSAの対応する単位センスアンプUSA0～USAnから出力される読み出し信号をさらに増幅して、データ入出力端子IO0～IO7を介してスタティック型RAMの外部に送出する。

【0052】タイミング発生回路TGは、外部から起動制御信号として供給されるチップ選択信号CSB、ライトイネーブル信号WEB及び出カイネーブル信号OEBをもとに上記各種の内部制御信号を選択的に形成し、スタティック型RAMの各部に供給する。また、救済可否判定テスト用パッドPTRJ及び不良ブロック判定テス

ト用パッドPTSEを介して供給される救済可否判定テスト信号PTRJ及び不良ブロック判定テスト信号PTSEをもとに内部制御信号TRJ及びTSEを選択的に形成し、メモリマットMAT0～MAT63ならびに冗長メモリマットMATR0～MATR3の負荷制御回路LCに供給する。

【0053】以上のように、この実施例のスタティック型RAMは、図1の機能ブロックB0～Bnに対応する64個のメモリマットMAT0～MAT63と、冗長ブロックBrに対応する4個の冗長メモリマットMATR0～MATR3とを備え、これらのメモリマット及び冗長メモリマットは、電源電圧VCCとメモリアレイMARYを構成する相補ビット線B0*～B63*の非反転及び反転信号線との間に負荷手段又はイコライズ手段として設けられ電源供給制御信号つまり内部制御信号SHT2、反転内部制御信号SHT2B及び内部制御信号DTEQに従って選択的にオフ状態とされることで対応するメモリマット又は冗長メモリマットの電源供給経路を選択的に切断しうるスイッチ手段つまりMOSFETP2及びP3、N5及びN6ならびにP4～P6をそれぞれ含む。

【0054】これにより、スタティック型RAMを救済可否判定テストモードとしすべてのメモリマットの電源供給経路を切断状態とすることで、発生したスタンバイ電流不良等の直流電流不良を冗長メモリマットMATR0～MATR3との置き換えにより救済できるかどうかを判定することができる。また、スタティック型RAMを不良ブロック判定テストモードとし各メモリマットの電源供給経路を所定の組み合わせで選択的に切断状態とすることで、スタンバイ電流不良等の直流電流不良が発生したメモリマットを判別できるとともに、この不良メモリマットのアドレスを冗長マット選択回路RSに書き込むことで、冗長メモリマットMATR0～MATR3と選択的に置き換え、これを救済することができる。この結果、スタンバイ電流不良等の直流電流不良を救済しうるスタティック型RAMを実現できるとともに、スタティック型RAMの製品歩留まりを高め、その直流電流不良に関する充分な解析を可能にすることができる。

【0055】以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 複数のメモリマットを備えるスタティック型RAM等において、例えばメモリマットを単位として内部回路をブロック分割し、各ブロックに対する電源供給経路を独立して設けるとともに、各ブロックの電源供給経路に、直流電流不良を判別するための不良ブロック判定テストモードにおいて所定の組み合わせで選択的にオフ状態とされるスイッチ手段を設けることで、ブロックごとにスタンバイ電流不良等の直流電流不良を判別できるといふ効果が得られる。

(2) 上記(1)項において、直流電流不良が検出された不良ブロックを救済するための冗長ブロックを設けることで、不良ブロックを選択的に冗長ブロックと置き換え、救済することができるという効果が得られる。

【0056】(3) 上記(1)項及び(2)項において、各ブロックの電源供給経路に設けられるスイッチ手段を、冗長ブロックによる欠陥救済の可否を判定するための救済可否判定テストモードにおいて選択的かつ一斉にオフ状態とすることで、冗長ブロックによる欠陥救済に先立って、直流電流不良の原因がメモリマット以外の回路にないかつまり識別された直流電流不良が冗長ブロックによって救済可能であるかどうかを判定することができるという効果が得られる。

(4) 上記(1)項ないし(3)項により、直流電流不良を救済しうるスタティック型RAM等の半導体装置を実現できるといふ効果が得られる。

(5) 上記(1)項ないし(4)項により、複数のメモリマットを備えるスタティック型RAM等の製品歩留まりを高め、その直流電流不良に関する充分な解析を可能にすることができるという効果が得られる。

【0057】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、上記実施例では、主に電源電圧VCC側の電源供給経路を切断することにより機能ブロックつまりメモリマットの直流電流不良を判別しているが、回路の接地電位側にも電源供給経路を選択的に切断するための同様なスイッチ手段を設けることができる。また、これらのスイッチ手段は、Pチャンネル及びNチャンネルMOSFETが並列結合されてなるトランスファゲートであってもよいし、MOSFET以外のスイッチ手段を用いることもできる。一方、上記実施例では、主にスタンバイ電流不良等の直流電流不良を冗長ブロックへの置き換えの要因としているが、このような機能ブロックを単位とする欠陥救済は、通常ファンクション不良を要因として行ってもよい。また、半導体装置つまりスタティック型RAMは、冗長ブロックを備えることを必須条件とはせず、例えば電源供給経路に設けられたスイッチ手段によって不良ブロック判定のみを行うものであってもよい。

【0058】図1において、例えば冗長ブロックBrによる欠陥救済が行われない場合、機能ブロックB0*～B63*は、特に同一機能を持つものである必要はない。また、電源供給制御回路VSCに供給されるブロックアドレス信号A0～Aiは、ブロック選択回路BSCによるデコード結果つまりブロック選択信号BS0～BSnに置き換えることができる。図6において、メモリセルMCの高抵抗R1及びR2を介して流される電流が極めて小さく無視できる場合には、この電源供給経路に設けられるMOSFETP1を削除してもよい。また、

メモリマツトMAT0～MAT63ならびに冗長メモリマツトMATR0～MATR3とXアドレスデコーダXD及びYアドレスデコーダYD等を含む周辺回路との対応は、この実施例による制約を受けない。スタティック型RAMは、任意数のメモリマツト及び冗長メモリマツトを含むことができるし、そのブロック構成や起動制御信号及び内部制御信号の組み合わせ及び論理レベルは、種々の実施形態を採りうる。図7において、メモリアレイMARYを構成するワード線及び相補ビット線の数、は、任意に設定できる。また、メモリアレイMARYは、所定数の冗長ワード線及び冗長ビット線を含むことができる。図8及び図9において、マツトヒューズ回路MF及び冗長マツト選択回路RSのヒューズF1～F3に代えて、例えばレーザ等により直接対応する配線経路を切断するようにしてもよい。さらに、図7に示されるメモリアレイMARY、ビット線負荷回路BL及びYゲートYG、図8に示されるマツトヒューズ回路MF及び負荷制御回路LC、ならびに図9に示される冗長マツト選択回路RSの具体的構成や電源電圧の極性及び絶対値ならびにMOSFETの導電型等は、種々の実施形態を採りうる。

【0059】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるスタティック型RAMに適用した場合について説明したが、それに限定されるものではなく、例えば、ダイナミック型RAM等の各種メモリ集積回路やゲートアレイ等の論理集積回路にも適用できる。この発明は、少なくとも複数の機能ブロックを含む半導体装置に広く適用できる。

【0060】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、複数のメモリマツトを備えるスタティック型RAM等において、例えばメモリマツトを単位としてその内部回路をブロック分割し、各ブロックに対する電源供給経路を独立して設けるとともに、各ブロックの電源供給経路に、直流電流不良を判定するための不良ブロック判定テストモードにおいて所定の組み合わせで選択的にオフ状態とされるスイッチ手段を設ける。また、直流電流不良が検出された不良ブロックを救済するための冗長ブロックを設け、上記スイッチ手段を、冗長ブロックによる欠陥救済の可否を判定するための救済可否判定テストモードにおいて選択的かつ一斉にオフ状態とすることで、ブロックごとに直流電流不良の有無を判別し、不良ブロックを冗長ブロックに置き換え、救済することができるとともに、冗長ブロックによる欠陥救済に先立って、直流電流不良の原因がメモリマツト以外の回路にあるかつまり識別された直流電流不良が冗長ブロックによって救済可能であるかどうかを判定することができる。この結果、スタンバイ電流不良等の直流電流不良を救済しうるスタティック型RAM等の半

導体装置を実現できるとともに、複数のメモリマツトを備えるスタティック型RAM等の製品歩留まりを高め、その直流電流不良に関する充分な解析を可能にすることができる。

【図面の簡単な説明】

【図1】この発明が適用された半導体装置の第1の実施例を示す基本構成図である。

【図2】図1の半導体装置における試験制御信号及び電源供給制御信号の一実施例を示す論理条件図である。

【図3】この発明が適用された半導体装置の第2の実施例を示す部分的な基本構成図である。

【図4】この発明が適用された半導体装置の第3の実施例を示す部分的な基本構成図である。

【図5】この発明が適用された半導体装置の第4の実施例を示す部分的な基本構成図である。

【図6】この発明を応用してなるスタティック型RAMの一実施例を示すブロック図である。

【図7】図6のスタティック型RAMに含まれるメモリアレイ及び周辺部の一実施例を示す部分的な回路図である。

【図8】図6のスタティック型RAMに含まれるマツトヒューズ回路及び負荷制御回路の一実施例を示す回路図である。

【図9】図6のスタティック型RAMに含まれる冗長マツト選択回路の一実施例を示す回路図である。

【符号の説明】

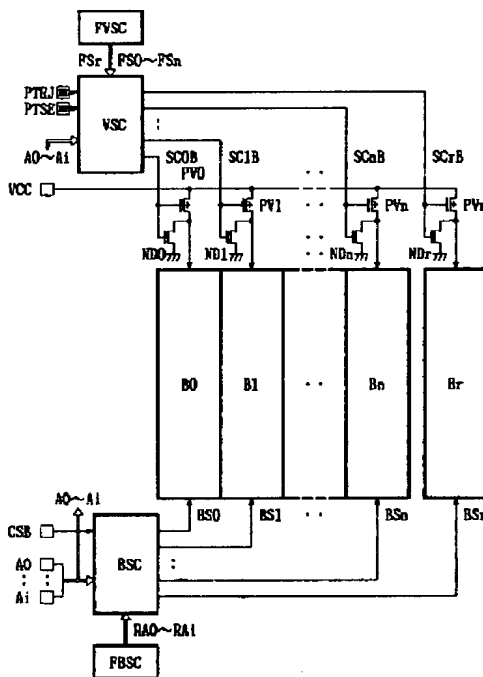
B0～Bn・・・機能ブロック、Br・・・冗長ブロック、BSC・・・ブロック選択回路、FBSC・・・冗長ブロック選択用ヒューズ回路、VSC・・・電源供給制御回路、FVSC・・・電源供給制御用ヒューズ回路、PTRJ・・・救済可否判定テスト用パッド（救済可否判定テスト信号）、PTSE・・・不良ブロック判定テスト用パッド（不良ブロック判定テスト信号）、VCC・・・電源電圧供給端子、CSB・・・チップ選択信号入力端子、A0～Ai・・・アドレス入力端子、SC0B～SCnB、SCrB、SC0～SCn、SCr・・・電源供給制御信号、BS0～BSn、BSr・・・ブロック選択信号、PV0～PVn、PVR、・・・PチャンネルMOSFET、NV0～NVn、NVR、ND0～NDn、NDR、・・・NチャンネルMOSFET、VV0～VVn、VVR・・・インバータ。MAT0～MAT63・・・メモリマツト、MATR0～MATR3・・・冗長メモリマツト、MARY・・・メモリアレイ、WD・・・サブワード線駆動回路、BL・・・ビット線負荷回路、LC・・・負荷制御回路、YG・・・Yゲート、GD・・・Yゲート駆動回路、WG・・・書き込みゲート、SA・・・センスアンプ、AD・・・アンプ駆動回路、XD・・・Xアドレスデコーダ、XB・・・Xアドレスバッファ、YD・・・Yアドレスデコーダ、YB・・・Yアドレスバッファ、X0～

X7, Y0~Y8・・・内部アドレス信号、MF・・・マットヒューズ回路、MS・・・マット選択回路、MS0~MS63・・・マット選択信号、RS・・・冗長マット選択回路、MSR0~MSR3・・・冗長マット選択信号、DIB0~DIB7・・・入力データバス、DOB0~DOB7・・・出力データバス、WA・・・ライトアンプ、IB・・・データ入力バッファ、OB・・・データ出力バッファ、TG・・・タイミング発生回路、WEB・・・ライトイネーブル信号入力端子、OEB・・・出力イネーブル信号入力端子、AX0~AX7・・・Xアドレス信号入力端子、AY0~AY8・・・Yアドレス信号入力端子、IO0~IO7・・・データ入出力端子。MC・・・高抵抗負荷型スタティックメモ

リセル、R1~R2・・・抵抗、SW0~SW255・・・サブワード線、B0*~B63*・・・相補ビット線、MVCC・・・メモリセル電源電圧供給線、YS0*~YSn*・・・相補ビット線選択信号、CD0*~CD7*・・・相補共通データ線。UMF0~UMF63, UMFR0~UMFR3・・・単位マットヒューズ回路、G1・・・複合ゲート。URS0~URS3・・・単位冗長マット選択回路。P1~PN・・・PチャンネルMOSFET、N1~N9・・・NチャンネルMOSFET、T1~T2・・・トランスファゲート、NO1~NO2・・・ノア(NOR)ゲート、NA1~NA3・・・ナンド(NAND)ゲート、V1~VA・・・インバータ、F1~F3・・・ヒューズ。

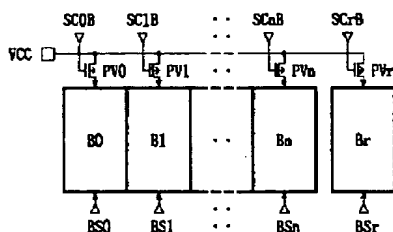
【図1】

図1 半導体装置の基本構成図(実施例1)



【図3】

図3 半導体装置の基本構成図(実施例2)



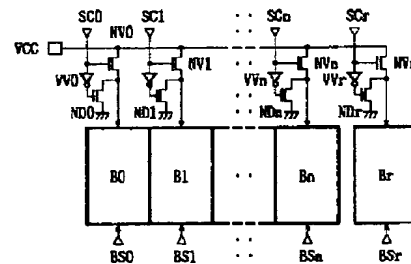
【図2】

図2 試験制御信号・電源供給制御信号の論理条件

項目	PTLJ	PTSE	SC0B	SC1B	...	SCnB	SCrB
融着可否テスト	H	L	H	H	...	H	H
ブロック0不良判定	L	H	L	H	...	H	H
ブロック1	L	H	H	L	...	H	H
...
ブロックn	L	H	H	H	...	L	H
ブロック0119(FSQ=60)	L	L	H	L	...	L	L
ブロック0119(FS1=60)	L	L	L	H	...	L	L
...
ブロック0119(FSn=60)	L	L	L	L	...	H	L

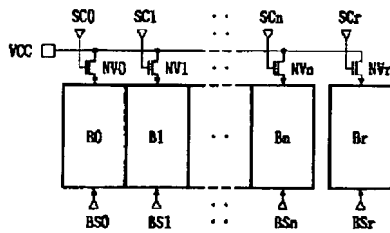
【図4】

図4 半導体装置の基本構成図(実施例3)



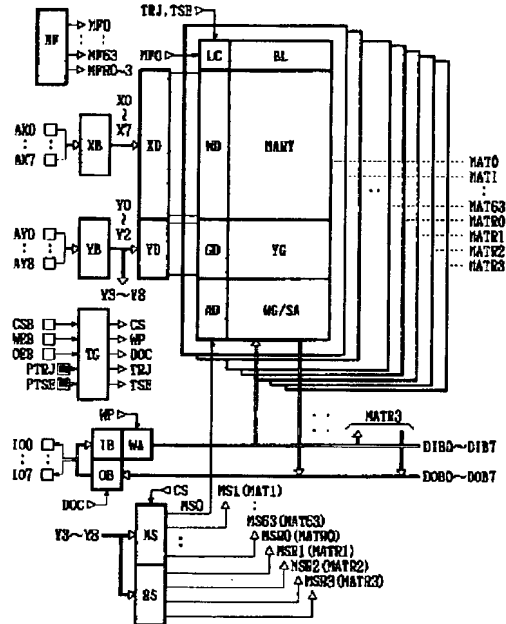
【図5】

図5 半導体装置の基本構成図(実施例4)



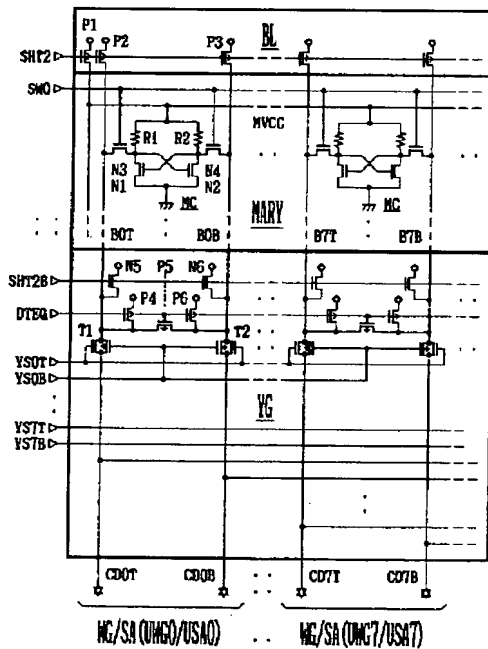
【図6】

図6 スタック型RAMブロック図(応用例)



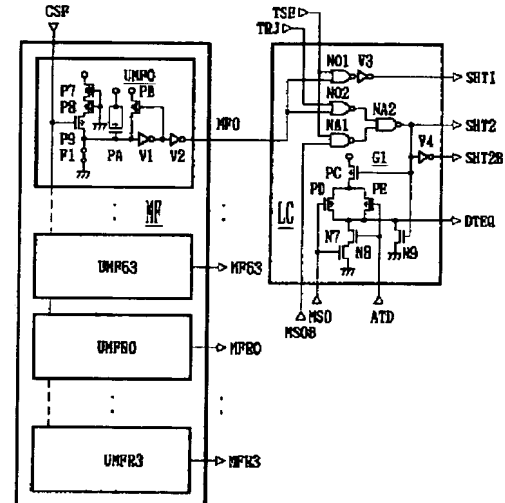
【図7】

図7 メモリアレイ及び周辺部分回路図



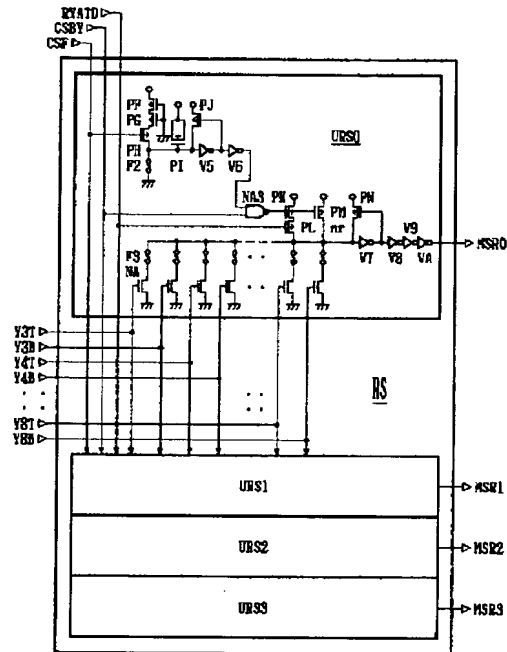
【図8】

図8 マットヒューズ回路及び負荷制御回路図



【図 9】

図 9 冗長マツト選択回路図



フロントページの続き

(51)Int. Cl.⁶

// H 0 1 L 21/8244

27/11

識別記号

庁内整理番号

F I

技術表示箇所

(72)発明者 野尻 辰夫

東京都小平市上水本町 5 丁目 20 番 1 号 株
式会社日立製作所半導体事業部内

(72)発明者 深澤 武

東京都小平市上水本町 5 丁目 20 番 1 号 日
立超エル・エス・アイ・エンジニアリング
株式会社内